

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 06310427  
PUBLICATION DATE : 04-11-94

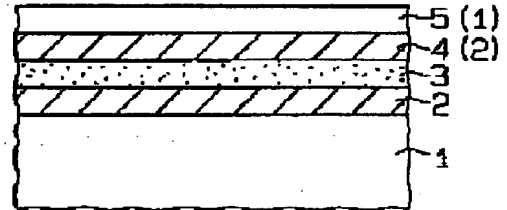
APPLICATION DATE : 21-04-93  
APPLICATION NUMBER : 05094664

APPLICANT : SANYO ELECTRIC CO LTD;

INVENTOR : MORIMOTO YOSHIHIRO;

INT.CL. : H01L 21/20 H01L 21/02 H01L 21/304  
H01L 27/12

TITLE : MANUFACTURE OF  
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To manufacture by a simple and easy method in a short time a semiconductor device having two buried insulation layers wherein the silicon crystal of its uppermost layer has an SOI structure of a high quality.

CONSTITUTION: On the surface of a single crystal silicon substrate 1, a silicon dioxide film 2 (4) is formed by a suitable method. By a CVD method, an amorphous silicon film is deposited on the surface of the silicon dioxide film 2. Then, two single crystal silicon substrates 1 on each of which the silicon dioxide film 2 and the amorphous silicon film are formed are prepared. Further, the amorphous silicon films of the two single crystal silicon substrates 1 are contacted closely with each other, and thereafter, a heat treatment (at 100°C in 90 minutes) is applied to them. By this heat treatment, the amorphous silicon films are crystallized, and thereby, a polycrystalline silicon film 3 is formed. By virtue of the formation of the polycrystalline silicon film 3, the two single crystal silicon substrates 1 are joined to each other. Then, one of the two single crystal substrates 1 is etched from its rear surface, and as a result, only a single crystal silicon layer 5 is left.

COPYRIGHT: (C)1994,JPO

1. The first part of the report is a general introduction to the subject of the study. It discusses the importance of the study and the objectives of the research.

2. The second part of the report is a detailed description of the methodology used in the study. It includes information about the sample size, the data collection methods, and the statistical analysis techniques.

3. The third part of the report is a discussion of the results of the study. It presents the findings of the research and discusses their implications for the field of study. It also includes a conclusion and recommendations for further research.

4. The fourth part of the report is a list of references. It includes all the sources of information used in the study, such as books, articles, and other documents.

5. The fifth part of the report is an appendix. It contains additional information that is not included in the main body of the report, such as raw data, detailed calculations, and other supporting materials.

6. The sixth part of the report is a summary of the entire study. It provides a brief overview of the main findings and conclusions of the research.

7. The seventh part of the report is a list of figures and tables. It includes all the visual aids used in the study, such as graphs, charts, and tables.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-310427

(43) 公開日 平成6年(1994)11月4日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/20

8122-4M

21/02

B

21/304

3 2 1 S

8832-4M

27/12

B

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号

特願平5-94664

(22) 出願日

平成5年(1993)4月21日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 森本 佳宏

大阪府守口市京阪本通2丁目18番地 三洋  
電機株式会社内

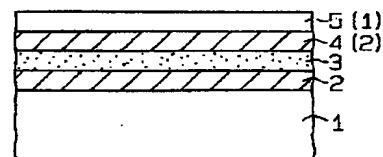
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 2層の埋め込み絶縁層を有し、最上層のシリコン結晶が高品質なSOI構造の半導体装置を、簡単かつ簡便な方法で短時間に製造することを目的とする。

【構成】 単結晶シリコン基板1の表面に適宜な方法で二酸化シリコン膜2(4)を形成する。CVD法により、二酸化シリコン膜2の表面にアモルファス・シリコン膜6を堆積する。二酸化シリコン膜2とアモルファス・シリコン膜6とを形成した単結晶シリコン基板1を、2枚用意する。そして、2枚の単結晶シリコン基板1のアモルファス・シリコン膜6どうしを密着させた後、熱処理(1000°Cで90分間)を行う。この熱処理により、アモルファス・シリコン膜6を結晶化させて多結晶シリコン膜3を形成する。多結晶シリコン膜3が形成されることにより、2枚の単結晶シリコン基板1は接着される。一方の単結晶シリコン基板1を裏面からエッチングし、単結晶シリコン層5のみを残す。



## 【特許請求の範囲】

【請求項1】 単結晶シリコン基板の表面に絶縁膜を形成する第1の工程と、

その絶縁膜の上にシリコン膜を堆積する第2の工程と、

第1および第2の工程により単結晶シリコン基板に絶縁膜とシリコン膜とが形成されたウェハを2枚用意し、その2枚のウェハのシリコン膜どうしを密着させて熱処理を行うことにより、シリコン膜どうしを接合させて2枚のウェハを貼り合わせる第3の工程と、

一方のウェハの単結晶シリコン基板を裏面から除去して所定の厚さに形成する第4の工程とを備えたことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に係り、詳しくは、2層の埋め込み絶縁層を有するSOI (Silicon on Insulator) 構造の半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】 近年、パワー用デバイス（パワー素子）と当該パワー用デバイスを駆動・制御する制御用デバイスの高集積回路とをモノリシックに集積したインテリジェント・パワー・IC (IPIC) の研究開発が進められている。このIPICでは、制御用デバイスがパワー用デバイスから電気的な影響を受けるのを防ぐために、両デバイス間を電気的に分離する必要がある。そのためには、従来、PN接合による分離技術が用いられていた。しかし、PN接合による分離技術では、電気的な分離が十分とはいえず、制御用デバイスの誤動作や破壊を引き起こす恐れがあった。そこで、絶縁膜によって電気的に分離する絶縁分離技術を用いることが提案されている。しかし、パワー用デバイスにかかる電圧が高い場合、単に、両デバイス間に1層の絶縁膜を設けるだけでは、電気的な分離を十分に得ることが難しい。そのため、2層の二酸化シリコン膜で低抵抗のシリコン膜を挟んだSOI構造の絶縁層をSIMOX (Separation by Implanted Oxygen) 法によって形成し、その形成した絶縁層を両デバイス間に設ける方法が提案されている（大野、松本、泉 NIT LSI 研究所 信学技法, SDN91-205, 75~80頁, 1992年）。この方法によれば、2層の二酸化シリコン膜で挟まれたシリコン膜の抵抗を低くしてパワー用デバイスと同じ電圧をかけることにより、そのシリコン膜に電気的なシールド効果をもたせることが可能になる。その結果、両デバイス間に1層の絶縁膜を設ける方法に比べて、両デバイス間の電気的な分離をより確実に行うことができる。

【0003】 そのような、SIMOX法によって当該SOI構造（2層の二酸化シリコン膜で低抵抗のシリコン膜を挟んだ構造。すなわち、単結晶シリコン基板に2層の埋め込み絶縁層が形成されている構造）を形成する工

程を、図5～図6に従って説明する。

【0004】 工程1）図5参照；単結晶シリコン基板21の表面に酸素イオンを高濃度で注入し、単結晶シリコン基板21の表面から所定の深さに酸素イオン注入層21aを形成する。そして、高温（1200℃程度）の熱処理を行う。この熱処理により、酸素イオン注入層21aの酸素イオンとシリコン原子とが結合して二酸化シリコン膜22が形成される。この二酸化シリコン膜22が1層目の埋め込み絶縁層となる。また、酸素イオン注入層21aの上部の単結晶シリコン層23の結晶構造はイオン注入によって乱れるが、熱処理によって結晶性が回復される。この単結晶シリコン層23が前記2層の二酸化シリコン膜で挟まれた低抵抗のシリコン膜となる。

【0005】 工程2）図6参照；CVD法により、単結晶シリコン層23の表面にエピタキシャル・シリコン層24を形成する。工程3）図7参照；上記1）と同じ工程を行う。すなわち、エピタキシャル・シリコン層24の表面に酸素イオンを高濃度で注入し、エピタキシャル・シリコン層24の表面から所定の深さに酸素イオン注入層24aを形成する。そして、高温（1200℃前後）の熱処理を行う。この熱処理により、酸素イオン注入層24aの酸素イオンとシリコン原子とが結合して二酸化シリコン膜25が形成される。この二酸化シリコン膜25が2層目の埋め込み絶縁層となる。また、酸素イオン注入層24aの上部のエピタキシャル・シリコン層26の結晶構造はイオン注入によって乱れるが、この熱処理によって結晶性が回復される。このエピタキシャル・シリコン層26に制御用デバイスを形成する。

【0006】 ところで、エピタキシャル・シリコン層24の形成後に2回目の酸素イオン注入を行うのは、酸素イオン注入の可能な深さが単結晶シリコン基板21の表面から0.6μm程度と浅いためである。つまり、エピタキシャル・シリコン層24を形成せずに、単結晶シリコン基板21に2回酸素イオン注入を行って二酸化シリコン膜22、25を形成した場合、単結晶シリコン層23およびエピタキシャル・シリコン層26を十分な厚さにすることができないわけである。

## 【0007】

【発明が解決しようとする課題】 このように、上記のSIMOX法による方法では、非常に複雑なプロセス工程が必要であった。特に、処理時間のかかる酸素イオン注入を2回行うために、スループットが極めて低くなり、製造コストが高くなるという問題があった。尚、イオン注入装置は高価で大がかりなものであるため、その導入は、製造コストのさらなる増大を招くことになる。また、高温の熱処理は冷却時の温度管理が難しく処理時間が長い（これは、冷却時に基板にひびや割れが生じたり歪んだりするのを防ぐため、緩やかに冷却しなければならないからである）。そのような高温の熱処理を2回行うために、この点でもスループットが低くなっていた。

【0008】さらに、エピタキシャル・シリコン層26の結晶性は単結晶シリコン基板21に比べて劣るため、エピタキシャル・シリコン層26に形成した制御用デバイスの性能を高めることができないという問題もあった。

【0009】本発明は上記問題点を解決するためになされたものであって、その目的は、2層の埋め込み絶縁層を有し、最上層のシリコン結晶が高品質なSOI構造の半導体装置を、簡単かつ簡便な方法で短時間に製造することにある。

【0010】

【課題を解決するための手段】本発明は、単結晶シリコン基板の表面に絶縁膜を形成する第1の工程と、その絶縁膜の上にシリコン膜を堆積する第2の工程と、第1および第2の工程により単結晶シリコン基板に絶縁膜とシリコン膜とが形成されたウェハを2枚重畳し、その2枚のウェハのシリコン膜どうしを密着させて熱処理を行うことにより、シリコン膜どうしを結合させて2枚のウェハを貼り合わせる第3の工程と、一方のウェハの単結晶シリコン基板を裏面から除去して所定の厚さに形成する第4の工程とを備えたことをその要旨とする。

【0011】

【作用】従って、本発明によれば、単結晶シリコン基板の上に絶縁膜が形成され、その絶縁膜の上にシリコン膜が形成され、そのシリコン膜の上に絶縁膜が形成され、その絶縁膜の上に所定の厚さの単結晶シリコン層（一方のウェハの単結晶シリコン基板のエッチングされた残りの部分）が形成された構造をつくることができる。

【0012】その結果、2層の絶縁膜はそれぞれ埋め込み絶縁層となる。また、最上層の単結晶シリコン層は、単結晶シリコン基板を裏面から除去して所定の厚さに形成したものであるため、その結晶性は極めて高品質である。

【0013】

【実施例】以下、本発明を具体化した一実施例を図面に従って説明する。図1は、本実施例によって製造した半導体装置の縦断面図である。

【0014】単結晶シリコン基板1の上には、1層目の埋め込み絶縁層である二酸化シリコン膜2が形成されている。二酸化シリコン膜2の上には、低抵抗のシリコン膜である多結晶シリコン膜3が形成されている。多結晶シリコン膜3の上には、2層目の埋め込み絶縁層である二酸化シリコン膜4が形成されている。二酸化シリコン膜4の上には、単結晶シリコン層5が形成されている。その単結晶シリコン層5に制御用デバイスが形成される。

【0015】次に、このような構造（すなわち、2層の埋め込み絶縁層（二酸化シリコン膜2、4）を有し、最上層（単結晶シリコン層5）のシリコン結晶が高品質なSOI構造）の半導体装置の製造工程を、図2、図3に

従って説明する。

【0016】工程①：図2参照；単結晶シリコン基板1の表面に所定の厚さの二酸化シリコン膜2を形成する。尚、二酸化シリコン膜2はどのような方法によって形成してもよい（例えば、高温酸化、低温酸化、陽極酸化などによる酸化法や、CVD法、PVD法などによる被着法）。

【0017】次に、CVD法により、二酸化シリコン膜2の表面に、砒素をドーブした $n^+$ 形アモルファス・シリコン膜6を所定の厚さ（例えば300nm）だけ堆積する。ここで、砒素をドーブしてアモルファス・シリコン膜6を $n^+$ 形にするのは、後記するように多結晶シリコン膜3の抵抗値を下げて電氣的なシールド効果をもたせるためである。

【0018】工程②：図3参照；上記1）の工程によって二酸化シリコン膜2および $n^+$ 形アモルファス・シリコン膜6を形成した単結晶シリコン基板1を、2枚用意する。

【0019】そして、2枚の単結晶シリコン基板1の $n^+$ 形アモルファス・シリコン膜6どうしを密着させた後、熱処理（1000°Cで90分間）を行う。この熱処理により、 $n^+$ 形アモルファス・シリコン膜6を結晶化させて $n^+$ 形多結晶シリコン膜3を形成する。 $n^+$ 形多結晶シリコン膜3が形成されることにより、2枚の単結晶シリコン基板1は接着されることになる。

【0020】工程③：一方の単結晶シリコン基板1において、二酸化シリコン膜2の表面から所定の厚さ（例えば1 $\mu$ m）の部分（図3に示すA）だけを残して他の部分を適宜なエッチング法によって取り除くことにより、二酸化シリコン膜2上に所定の厚さの単結晶シリコン層5を形成する。

【0021】その結果、図1に示す構造の半導体装置が形成される。ここで、前記一方の単結晶シリコン基板1の二酸化シリコン膜2は、図1に示す二酸化シリコン膜4に対応している。

【0022】このように、本実施例においては、至極一般的な技術（二酸化シリコン膜2、4の形成と、CVD法による $n^+$ 形アモルファス・シリコン膜6の形成と、熱処理による $n^+$ 形アモルファス・シリコン膜6の $n^+$ 形多結晶シリコン膜3化）を用いるだけで、2層の埋め込み絶縁層を有するSOI構造の半導体装置を製造することができる。

【0023】従って、本実施例では、二酸化シリコン膜2を形成する際、従来例のようにイオン注入装置を用いないため、イオン注入装置に起因する前記問題点を回避することができる。

【0024】また、本実施例では従来例に比べると低い温度の熱処理を1回行うだけでよいから、スループットを向上させることができる。さらに、最上層の単結晶シリコン層5は単結晶シリコン基板1をエッチングして形

成したものであるため、その結晶性は単結晶シリコン基板1とほぼ同等であり極めて高品質である。そのため、単結晶シリコン基板1上には高性能の制御用デバイスを形成することができる。

【0025】尚、下層のシリコン膜すなわち $n^+$ 形多結晶シリコン膜3は単結晶ではないが、本来この層は後記するような電氣的なシールド効果を得るために設けたものであるため、単結晶である必要はなく多結晶であっても何ら支障はない。

【0026】図4は、本実施例を利用したIPICの一例の要部縦断面図である。本実施例によるSOI構造の基板上に、パワー用デバイスである縦型UMOSTランジスタ7と、その縦型UMOSTランジスタ7を駆動・制御する制御用デバイスである高耐圧CMOSTランジスタ8とが搭載されている。ここで、高耐圧CMOSTランジスタ8は単結晶シリコン層5に形成され、縦型UMOSTランジスタ7は単結晶シリコン基板1の表面に形成されている。尚、各MOSTランジスタ7、8のゲートは埋め込み多結晶シリコン11によって形成されている。

【0027】高耐圧CMOSTランジスタ8のPMOSTランジスタ8aとNMOSTランジスタ8bおよび縦型UMOSTランジスタ7はそれぞれ、二酸化シリコン膜2、4、5によって完全に絶縁分離されている。そのため、原理的にラッチアップは生じない。

【0028】また、高耐圧CMOSTランジスタ8の下部には、二酸化シリコン膜2、4と $n^+$ 形多結晶シリコン膜3が配置されている。そして、 $n^+$ 形多結晶シリコン膜3と縦型UMOSTランジスタ7のソースとは金属配線9によって接続されている。その結果、 $n^+$ 形多結晶シリコン膜3には電氣的なシールド効果をもたせることができる。すなわち、 $n^+$ 基板10は縦型UMOSTランジスタ7のドレインとして機能するため、 $n^+$ 基板10の電位は縦型UMOSTランジスタ7の動作状態に応じて大きく変化する。しかし、縦型UMOSTランジスタ7のソースと同電位である $n^+$ 形多結晶シリコン膜3が、 $n^+$ 基板10の電位変動をシールドし、高耐圧CMOSTランジスタ8を電氣的に保護する。そのため、高耐圧CMOSTランジスタ8には、バックチャネルの発生などの特性を変動させる現象は生じない。従って、二酸化シリコン膜2、4、5によって縦型UMOSTランジスタ7と高耐圧CMOSTランジスタ8とを単に絶縁分離しただけの場合に比べ、両ランジスタ7、8間の電氣的な分離をより確実に行うことができる。

【0029】尚、本発明は上記実施例に限定されるものではなく、以下のように実施してもよい。

1) 二酸化シリコン膜2、4を他の絶縁膜(窒化シリコン膜、各種シリケートガラス[PSG, BSG, ASGなど]、アルミ酸化膜、チタン酸化膜など)に置き換える。この場合、その絶縁膜はどのような方法によって形成してもよい。

【0030】2) アモルファス・シリコン膜6を多結晶シリコン膜に置き換える。すなわち、アモルファス・シリコン膜6を熱処理によって多結晶シリコン膜3にするのではなく、最初から多結晶シリコン膜として形成しておく。この場合の多結晶シリコン膜はCVD法によって形成すればよい。

【0031】3) アモルファス・シリコン膜6の形成をCVD法ではなくスパッタリングによって行う。

4) 上記工程③においては単結晶シリコン基板1をエッチングしたが、これを化学機械研磨法や機械研磨法などの他の表面平坦化技術に置き換える。

【0032】

【発明の効果】以上詳述したように本発明によれば、2層の埋め込み絶縁層を有し、最上層のシリコン結晶が高品質なSOI構造の半導体装置を、簡単かつ簡便な方法で短時間に製造することができるという優れた効果がある。

【図面の簡単な説明】

【図1】本発明を具体化した一実施例によって製造した半導体装置の縦断面図である。

【図2】一実施例の半導体装置の製造工程を説明するための縦断面図である。

【図3】一実施例の半導体装置の製造工程を説明するための縦断面図である。

【図4】一実施例を利用したIPICの一例の要部縦断面図である。

【図5】従来例の半導体装置の製造工程を説明するための縦断面図である。

【図6】従来例の半導体装置の製造工程を説明するための縦断面図である。

【図7】従来例の半導体装置の製造工程を説明するための縦断面図である。

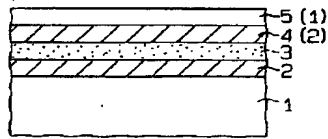
【符号の説明】

- 1 単結晶シリコン基板
- 2, 4 絶縁膜としての二酸化シリコン膜
- 3 シリコン膜としての多結晶シリコン膜
- 5 単結晶シリコン層

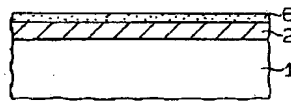
(5)

特開平6-310427

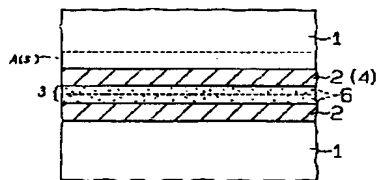
【図1】



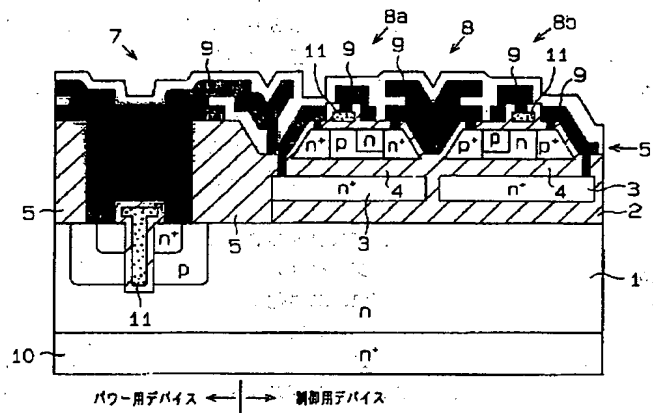
【図2】



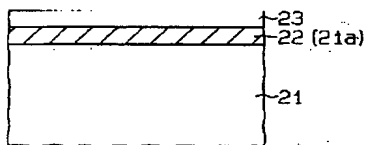
【図3】



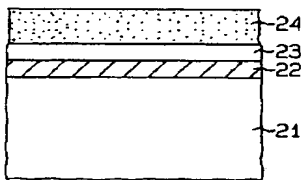
【図4】



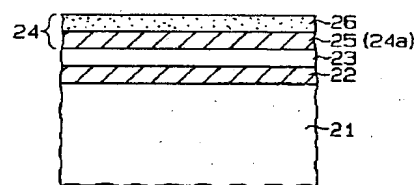
【図5】



【図6】



【図7】



...the ... of ...

...the ... of ...

...the ... of ...

...the ... of ...

...the ... of ...

...the ... of ...

...the ... of ...

...the ... of ...

...the ... of ...

...the ... of ...

...the ... of ...

...the ... of ...

...the ... of ...

...the ... of ...

...the ... of ...

...the ... of ...

...the ... of ...